# SISTEMAS DIGITAIS

## 3º Trabalho de Laboratório

## Flip-Flops

**Objectivo**: Pretende-se com este trabalho que os alunos se familiarizem com o uso de elementos básicos de memória, nomeadamente com a utilização de *Flip-Flops.* Este trabalho é considerado para **avaliação de conhecimentos**. No **início da aula** cada grupo mostrará ao docente os elementos de relatório referentes às perguntas teóricas (T). Em caso de erro, estes elementos poderão ser complementados (com penalização na nota) por uma errata elaborada durante a aula. Durante a aula o grupo completará o relatório com as conclusões sobre as montagens (E) que entregará ao docente no **final da aula**.

Nota: Como preparação prévia, deve também ler com atenção o documento “Introdução ao Ambiente de Projecto da Xilinx” disponível na página da cadeira. Deve ter consigo nesta e nas aulas de laboratório seguintes cópias dos documentos “Introdução ao Ambiente de Projecto da Xilinx” e “Guia de Implementação de Circuitos na Placa de Desenvolvimento” para utilizar como manuais de utilização.

### Parte 1: Exemplo de Aplicação de Flip-Flops

O esquema da Figura 1 implementa um circuito sequencial constituído por 4 Flip-Flops tipo D com uma entrada de Clear (Reset asíncrono) cada, e por uma porta INV. O esquema deste circuito está no ficheiro johnson.sch disponível na página da cadeira.
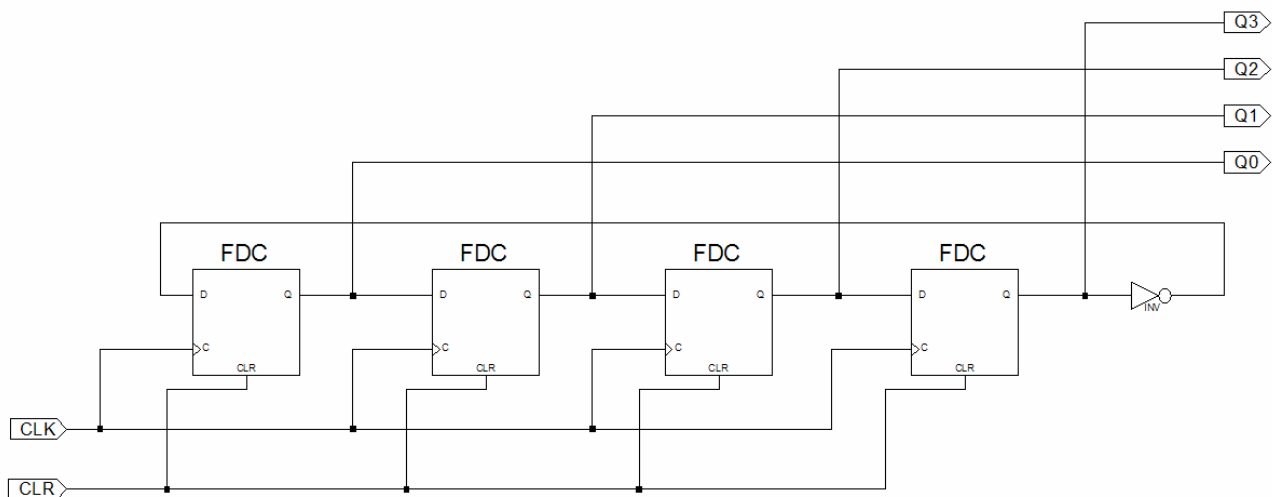
**Figura 1**

**1.1** (T) De acordo com as suas previsões teóricas, e considerando CLR=0, **complete a Tabela 1**.

**1.2** (T) Indique qual a função da entrada CLR e qual o estado dos FFs quando CLR=1.

**1.3** (T) Para o circuito descrito **complete o diagrama temporal**, de acordo com as previsões teóricas do funcionamento deste circuito (considere que os tempos de propagação dos FF`s e das portas lógicas são desprezáveis face ao período de relógio).

**1.4** Usando o ambiente de projecto da Xilinx, **execute uma simulação** que permita verificar o funcionamento teórico previsto para o circuito em causa.

Utilize o documento Introdução ao Ambiente de Projecto da Xilinx acessível a partir do URL http://digitais.ist.utl.pt/ec-sd como manual de utilização das ferramentas.

Para tal deve começar por criar um novo projecto e adicionar-lhe o esquema da figura 1 (disponível no ficheiro johnson.sch) com *Project -> Add Copy Of Source*.

Seguindo a metodologia indicada no manual de introdução defina as formas de onda para os sinais CLK e CLR, indicadas na figura 2.
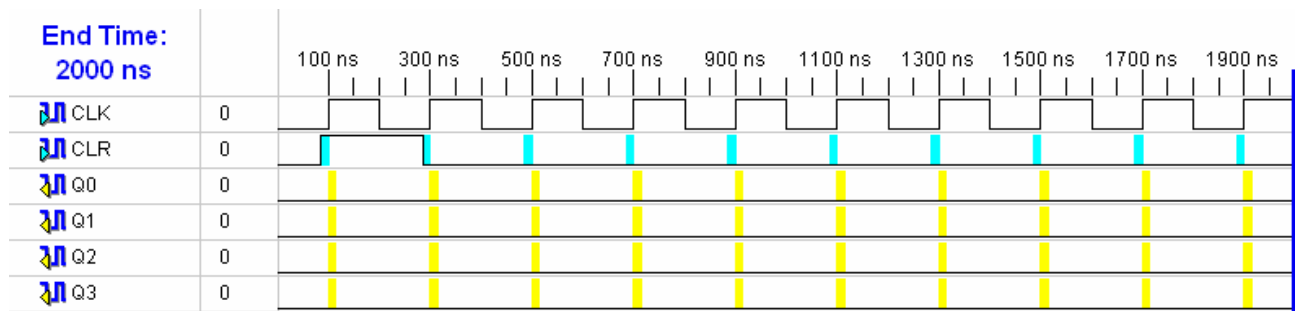
**Figura 2**

**Efectue a simulação estipulada** comprovando os resultados previstos teoricamente e mostre os resultados ao docente. Comente.

## PARTE 2: Implementação na Carta de Prototipagem Xilinx

**2.1 (E) Abra o projecto *SD*** que está disponível para download na página da cadeira

O projecto deve conter os ficheiros:

*Sd.sch* – Esquema principal.
*Sd.ucf* – Ficheiro de configuração das portas.
*Clk_div.vhd* – Divisor de Frequência.
*Disp7.vhd* – Bloco de controlo do display de 7 segmentos.

Copie o projecto para a sua Pasta de utilizador. Não modifique os nomes dos ficheiros referidos acima.

Abra o esquema clicando duas vezes em cima do ficheiro sd.sch.

Este projecto não é mais do que uma interface para o aluno: as entradas e saídas já estão configuradas de acordo com o modelo da FPGA utilizada na placa de desenvolvimento. Funciona como uma placa de prototipagem virtual, conforme esquematizado na figura 3.

À esquerda do esquema estão as interfaces de entrada correspondentes aos vários interruptores disponíveis na placa. À direita tem as saídas correspondentes aos 4 *displays* de 7 segmentos (acendem o símbolo hexadecimal correspondente ao número binário de 4 bits respectivo) e aos *leds* simples.

No esquema pode deixar as linhas das interfaces de entrada que não usa "no ar" (o programa elimina-as automaticamente) e deve ligar todas as linhas das interfaces de saída que não use a Gnd.

Monte o esquema do circuito (sugerimos que aproveite o esquema da parte 1 fazendo *copy-paste*).

Elimine os marcadores de entrada/saída utilizados no circuito da parte 1. Ligue o sinal de relógio CLK ao sinal *clk_slow*. Este sinal tem uma frequência de 0,8Hz, o que permite visualizar as mudanças de estado. Ligue o relógio da interface ao *display de 7 segmentos* a *clk_disp*. Ligue a entrada CLR a um dos botões de pressão.

Ligue as saídas do seguinte modo:

- Q0 – ligue a: Led1, Led8, disp1_3, disp2_0, disp3_3, disp4_0.
- Q1 – ligue a: Led2, Led7, disp1_2, disp2_1, disp3_2, disp4_1
- Q2 – ligue a: Led3, Led6, disp1_1, disp2_2, disp3_1, disp4_2
- Q3 – ligue a: Led4, Led5, disp1_0, disp2_3, disp3_0, disp4_3
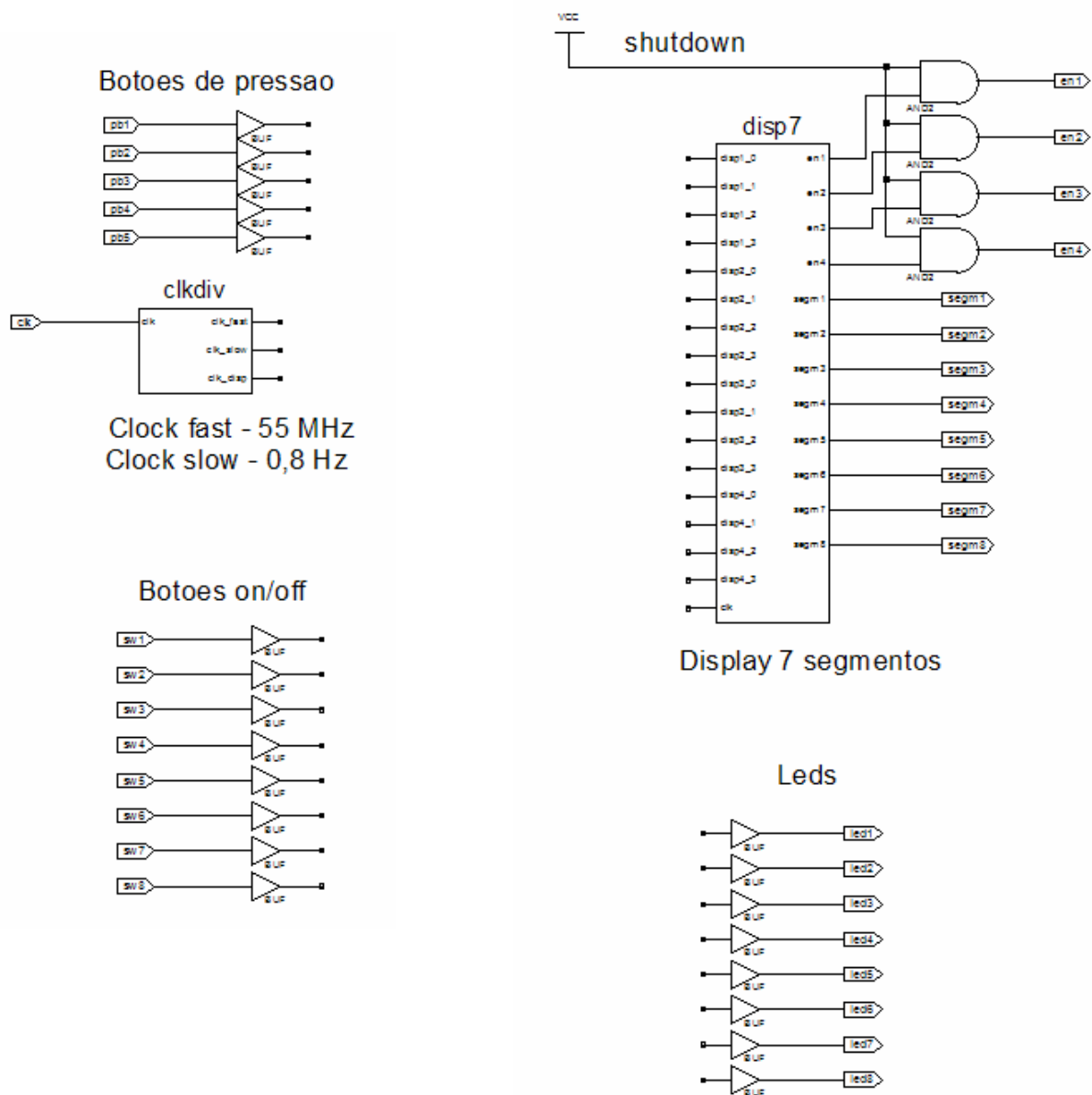
**Figura 3**

## 2.2 (E) Montagem da placa

Implemente o circuito na placa de desenvolvimento.
Para tal, siga as instruções no guia "Guia de Implementação de Circuitos na Placa de Desenvolvimento".
Note que o interruptor da placa deve estar na posição *CONF*.

Verifique o funcionamento correcto do circuito. Mostre-o ao docente. Comente.
Explique o que acontece nos *LEDs* simples e o porquê dos caracteres que visualiza nos *displays*.

**Tabela 1**

| (n) | | | | (n+1) | | | |
|---|---|---|---|---|---|---|---|
| Q0 | Q1 | Q2 | Q3 | Q0 | Q1 | Q2 | Q3 |
| 0 | 0 | 0 | 0 | | | | |
| 1 | 0 | 0 | 0 | | | | |
| 1 | 1 | 0 | 0 | | | | |
| 1 | 1 | 1 | 0 | | | | |
| 1 | 1 | 1 | 1 | | | | |
| 0 | 1 | 1 | 1 | | | | |
| 0 | 0 | 1 | 1 | | | | |
| 0 | 0 | 0 | 1 | | | | |

**Diagrama Temporal**